

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

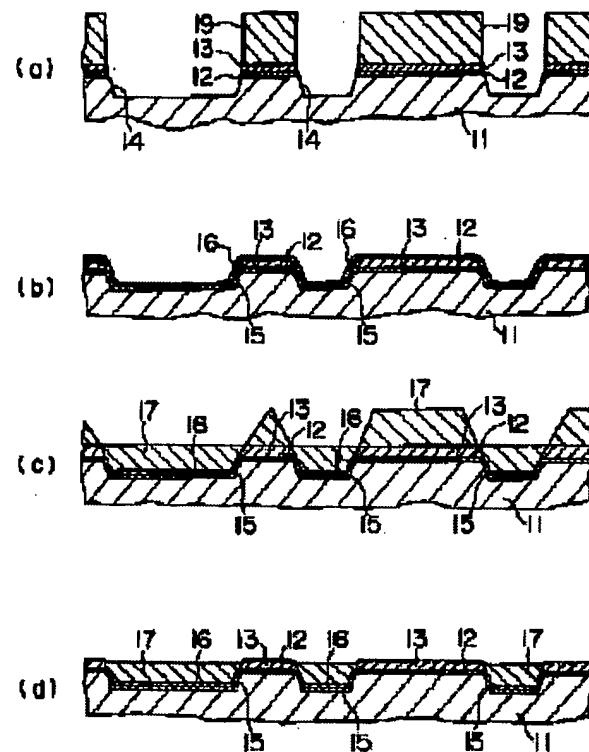
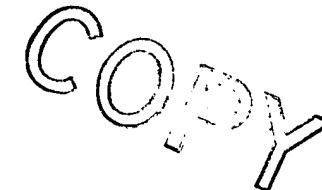
Patent number: JP11233614
Publication date: 1999-08-27
Inventor: KAZAMA KENYA
Applicant: NEC CORP
Classification:
 - International: H01L21/76; H01L21/316
 - European:
Application number: JP19980029998 19980212
Priority number(s):

Also published as:
 EP0936665 (A1)
 US6599811 (B1)

Abstract of JP11233614

PROBLEM TO BE SOLVED: To provide a semiconductor device with good characteristics for each element by preventing a thermal oxide film from being eroded and a silicon substrate from being exposed, when a biasing oxide film is grown in an element separation groove in a HDP-CDV method, and provide a manufacturing method therefor.

SOLUTION: In a manufacturing method for a semiconductor device includes a step for removing a given part of a semiconductor substrate 11 and forming an element isolation groove 14, a step for forming a thermal oxide film 15 and covering an inner wall of the element isolation groove 14, a step for depositing a CVD oxide film 16 on a surface of the thermal oxide film 15, and a step for growing a bias oxide film 17 in the element isolation groove 14 in a high-density plasma DVD method.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-233614

(43)公開日 平成11年(1999)8月27日

(51) Int.Cl.⁶

H 01 L 21/76
21/316

識別記号

F I

H 01 L 21/76
21/316

L
M
X

審査請求 有 請求項の数 7 OL (全 6 頁)

(21)出願番号

特願平10-29998

(22)出願日

平成10年(1998)2月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 風間 賢也

東京都港区芝五丁目7番1号 日本電気株
式会社内

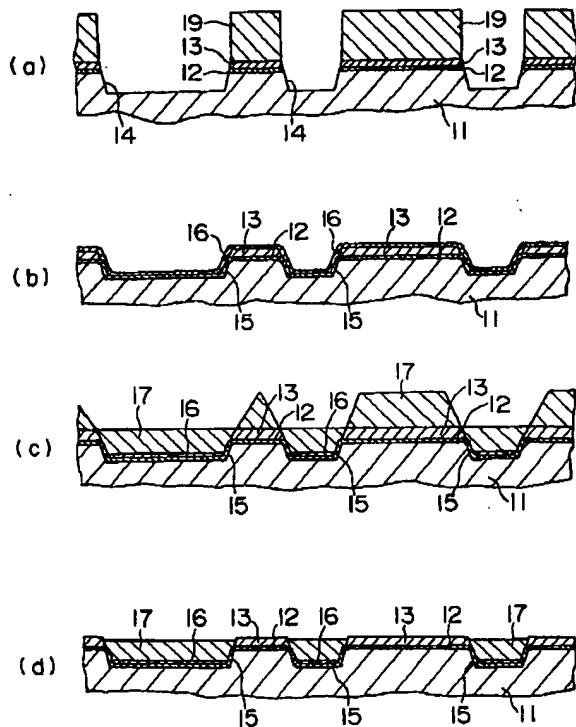
(74)代理人 弁理士 稲垣 清

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 HD P-CVD法で素子分離溝にバイアス酸化膜を成長する際に、熱酸化膜が削られてシリコン基板が露出する不具合を防止し、半導体基板上の各素子の良好な特性を損なうことがない半導体装置及びその製造方法を提供する。

【解決手段】 本発明の半導体装置の製造方法は、半導体基板11における所定箇所を除去することによって素子分離溝14を形成するステップと、素子分離溝14の内壁を被覆する熱酸化膜15を形成するステップと、熱酸化膜15の表面にCVD酸化膜16を堆積するステップと、高密度プラズマCVD法によって素子分離溝14内にバイアス酸化膜17を成長するステップとをこの順に有している。



【特許請求の範囲】

【請求項1】 半導体基板における所定箇所を除去することによって素子分離溝を形成する第1のステップと、前記素子分離溝の内壁を被覆する熱酸化膜を形成する第2のステップと、

前記熱酸化膜の表面にCVD酸化膜を堆積する第3のステップと、

高密度プラズマCVD法によって前記素子分離溝内にバイアス酸化膜を成長する第4のステップとをこの順に有することを特徴とする半導体装置の製造方法。

【請求項2】 前記熱酸化膜の厚さが200～600オングストロームであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記CVD酸化膜の厚さが約100～600オングストロームであることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記第1のステップに先立って前記半導体基板上にパッド酸化膜を形成するステップを有することを特徴とする請求項1乃至3の内の何れか1項に記載の半導体装置の製造方法。

【請求項5】 半導体基板上に形成された素子分離溝を備え、該素子分離溝には、熱酸化膜、CVD酸化膜及びバイアス酸化膜が少なくとも前記素子分離溝の底部に形成されていることを特徴とする半導体装置。

【請求項6】 前記素子分離溝におけるアスペクト比が約1.5以上であることを特徴とする請求項5に記載の半導体装置。

【請求項7】 前記素子分離溝の幅が約0.4μm以下であることを特徴とする請求項5又は6に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特に、シャロートレンチアイソレーション(STI: Shallow Trench Isolation)法における素子分離溝が形成された半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 STI法では、半導体装置に備えたトランジスタ等の素子を素子分離溝で相互に分離する。STI法を採用する半導体装置、例えばDRAM(Dynamic RandomAccess Memory)等では、製造プロセスや素子構成の微細化に伴って、素子分離溝の形状が一段と小さくなる傾向にある。

【0003】 図4及び図5は、従来の問題点を説明するための、半導体装置における素子分離溝の製造工程段階毎の断面図である。まず、図4に示すように、シリコン基板31上に、膜厚が約200オングストロームのパッド酸化膜32と、膜厚が約0.15μmのマスク窒化膜(SiN)33とを所定の工程で順次に形成し、更に、

マスク窒化膜33上にフォトレジスト膜(図示せず)を形成する。次いで、マスク窒化膜33及びパッド酸化膜32の所定部分を除去すると共に、シリコン基板31の対応する部分を所定の深さで除去することによって素子分離溝34を得る。

【0004】 次いで、低圧化学的気相成長(LPCVD)法によって、素子分離溝34の内部及びその周囲に酸化膜35を所定の厚さで形成した後に、酸化膜35及びマスク窒化膜33双方の一部を化学機械研磨(CMP)法で削り、図4の波線Aで示すように略平坦状にする。更に、ウエットエッチングによってマスク窒化膜33の全てとパッド酸化膜32の波線Bより上方の部分とを除去した後に、図5に示すように、シリコン基板31上に所定の工程でゲート酸化膜37を形成する。次いで、酸化膜35及びゲート酸化膜37上に、ポリシリコン(又はアモルファスシリコン)膜38を化学的気相成長(CVD)法によって堆積する。

【0005】 上記各工程で半導体装置を製造する際に、素子分離溝34の幅が例えば約0.5μm程度あれば特に問題はないが、約0.4μm以下、例えば0.25μmデザインルールのように、製造プロセスや素子構成がより微細化される場合には、次のような問題が生じる。

【0006】 すなわち、図4に示すように、酸化膜35の成長時の異方性に起因するセルフシャドウイングによって、素子分離溝34の中央部分が空洞化することがある。この際に、空洞がゲート酸化膜37の形成過程で削られて、図5に示すようなボイド36になると、堆積するポリシリコン膜38がボイド36に入り込んでシリコン溝39を形成する。このシリコン溝39は、その上部に形成されるゲート電極等の配線に接触して短絡事故を引き起こす。

【0007】 以上のように、上記従来の製造方法では、アスペクト比が高い素子分離溝内に酸化膜を良好に形成することが難しく、特に微細なデザインルール下では素子分離溝内の酸化膜にボイドが形成されやすいという不都合があった。

【0008】 上記不都合を解消する目的で、酸化膜の成長とエッチングとを同時進行的に行う高密度プラズマ(HDP: High Density Plasma)CVD法を採用する試みがある。HDP-CVD法では、電子密度が約10¹²～10¹⁴程度の低圧プラズマを利用し、平均自由行程を長くして基板にバイアスをかけることにより垂直成分を増大させる。この場合に、成長する膜厚が削り取られる膜厚よりも大きく、高密度の成膜が可能であるので、微細なデザインルール下における素子分離溝の形成に対処できる。プラズマソースとしては、ICP(Inductive Coupled Plasma)、或いは、ECR(Electron Cyclotron Resonance)等が挙げられる。

【0009】

【発明が解決しようとする課題】 上記のように、HDP

-CVD法では、アスペクト比が高い微細な素子分離溝にバイアス酸化膜を高密度で成長できるが、例えば、半導体基板に備えた多数の素子がMOS等のトランジスタである場合に、トランジスタ相互の境界部で電流特性が変化する等の問題が発生することがある。

【0010】図6は、HDP-CVD法でバイアス酸化膜を形成する際の問題点を説明するための断面図である。まず、シリコン基板31上にパッド酸化膜32及びマスク窒化膜33を所定の工程で順次に形成し、更に、マスク窒化膜33上にフォトレジスト膜(図示せず)を形成する。次いで、所定箇所におけるマスク窒化膜33及びパッド酸化膜32を除去すると共に、シリコン基板31の対応する箇所を所定の深さで除去して素子分離溝34を得る。更に、露出した素子分離溝34内に熱酸化膜45を所定の工程で形成し、シリコン基板31上に残存するパッド酸化膜32の端部から熱酸化膜45を連続させ、素子分離溝34の側壁及び底部を被覆する。

【0011】次いで、素子分離溝34内から溝上部の周囲に向かって、バイアス酸化膜(BiassSiO₂)44をHDP-CVD法で成長する。この際に、熱酸化膜45の表面をエッティングしつつバイアス酸化膜44を成長する。このため、特に素子分離溝44の上部コーナ部43が強くアタックされて、上部コーナ部43を覆っていた熱酸化膜45が除去され、シリコン基板31が素子分離溝34内に露出する。

【0012】図7は、上記HDP-CVD法で形成した素子分離溝部分の斜視図である。シリコン基板31の上面には、マスク窒化膜33、パッド酸化膜32、及び、バイアス酸化膜44の波線Cより上方部分が除去された後に、素子分離溝34の延長方向に所定の間隔をあけてソース電極40及びドレイン電極41が形成され、更にゲート酸化膜41が形成される。次いで、ゲート酸化膜41上に、ソース電極40及びドレイン電極41と所定の位置関係でゲート電極42が形成されて、MOSトランジスタが構成される。

【0013】上記構成のMOSトランジスタでは、シリコン基板31の上部コーナ部43が素子分離溝34内に露出していることにより、ドレイン電流(チャネル電流)の特性が変化して、良好なトランジスタ特性が損なわれる。

【0014】本発明は、上記に鑑み、HDP-CVD法で素子分離溝にバイアス酸化膜を成長する際に、熱酸化膜がアタックされてシリコン基板が露出する不具合を防止し、半導体基板に備えた各素子の良好な特性を損なうことがない半導体装置及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置の製造方法は、半導体基板における所定箇所を除去することによって素子分離溝を形成

する第1のステップと、前記素子分離溝の内壁を被覆する熱酸化膜を形成する第2のステップと、前記熱酸化膜の表面にCVD酸化膜を堆積する第3のステップと、高密度プラズマCVD法によって前記素子分離溝内にバイアス酸化膜を成長する第4のステップとをこの順に有することを特徴とする。

【0016】本発明の半導体装置の製造方法では、HDP-CVD法を用いながらも、CVD酸化膜で素子分離溝表面の熱酸化膜を保護しつつ、素子分離溝内にバイアス酸化膜を成長できるので、熱酸化膜が削れて半導体基板が露出する不具合が生じない。これにより、半導体基板に備えた各素子の特性が良好な半導体装置を得ることができる。

【0017】ここで、熱酸化膜の厚さが200~600オングストロームであることが好ましい。この場合に、素子分離溝の表面を効果的に保護することができると共に、膜厚が大き過ぎてバースピークが形成される等の不具合が回避できる。

【0018】更に好ましくは、CVD酸化膜の厚さが約100~600オングストロームである。これにより、熱酸化膜を確実に保護することができる。

【0019】好適には、第1のステップに先立って半導体基板上にパッド酸化膜を形成するステップを有する。この場合に、パッド酸化膜の除去処理が容易になる。

【0020】本発明の半導体装置は、半導体基板上に形成された素子分離溝を備え、該素子分離溝には、熱酸化膜、CVD酸化膜及びバイアス酸化膜が少なくとも前記素子分離溝の底部に形成されていることを特徴とする。

【0021】上記構成の半導体装置では、素子分離溝における熱酸化膜がCVD酸化膜で保護されつつ、バイアス酸化膜が例えばHDP-CVD法で成長したので、半導体基板が素子分離溝に露出することなく、半導体基板上の素子に良好な電気特性が得られる。

【0022】好ましくは、素子分離溝におけるアスペクト比が約1.5以上である。これにより、素子構成が微細化される。

【0023】更に好ましくは、素子分離溝の幅が約0.4μm以下である。これにより、素子構成が微細化される。

【0024】

【発明の実施の形態】図面を参照して本発明を更に詳細に説明する。図1及び図2は、本発明の一実施形態例に係る半導体装置の製造方法を説明するための模式的な断面図である。図1(a)~(d)は、素子分離溝の形成工程を夫々示し、図2(a)は図1(a)に対応する拡大断面図、図2(b)は図1(a)及び(b)間の工程を示す拡大断面図、図2(c)は図1(b)に対応する拡大断面図、図2(d)は図1(c)に対応する拡大断面図である。

【0025】まず、図1(a)及び図2(a)に示すように、シリコン基板(半導体基板)11上に、膜厚が約200

あり、(a)は図1(a)に対応する拡大断面図、(b)は図1(a)及び(b)間の工程を示す拡大断面図、(c)は図1(b)に対応する拡大断面図、(d)は図1(c)に対応する拡大断面図を示す。

【図3】図2(d)の状態に対応する素子分離溝を拡大して示す断面図であり、(a)はウエットエッチング前の状態を、(b)はウエットエッチング後の状態を夫々示す。

【図4】従来の問題点を説明するための、素子分離溝の製造工程段階毎の断面図である。

【図5】従来の問題点を説明するための、素子分離溝の製造工程段階毎の断面図である。

【図6】HDP-CVD法でバイアス酸化膜を形成する

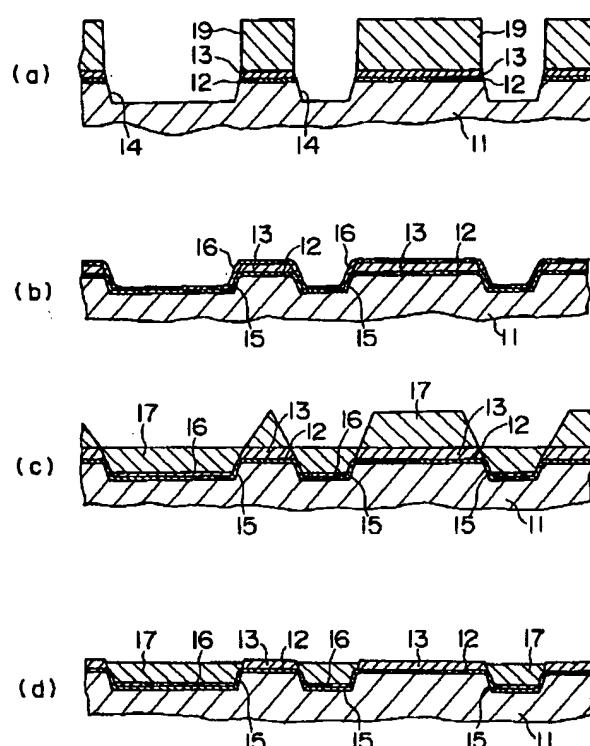
際の問題点を説明するための断面図である。

【図7】HDP-CVD法でバイアス酸化膜を形成した際の問題点を説明するための斜視図である。

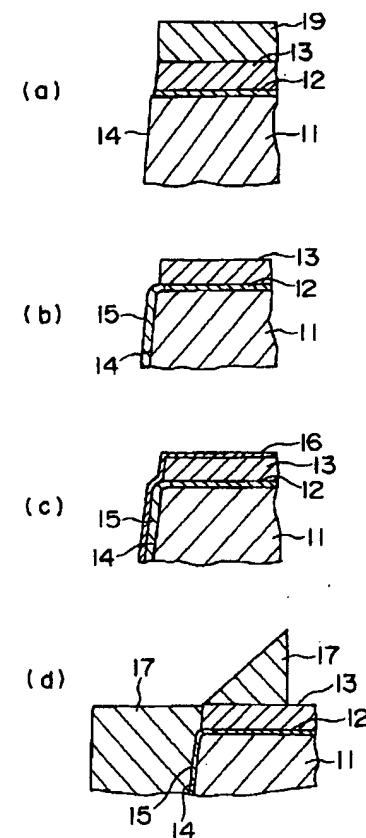
【符号の説明】

- 1 1 半導体基板
- 1 2 パッド酸化膜
- 1 3 マスク窒化膜
- 1 4 素子分離溝
- 1 5 热酸化膜
- 1 6 CVD酸化膜
- 1 7 バイアス酸化膜

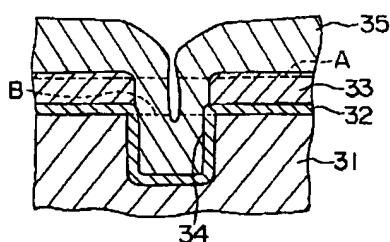
【図1】



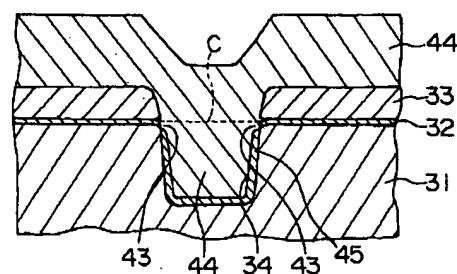
【図2】



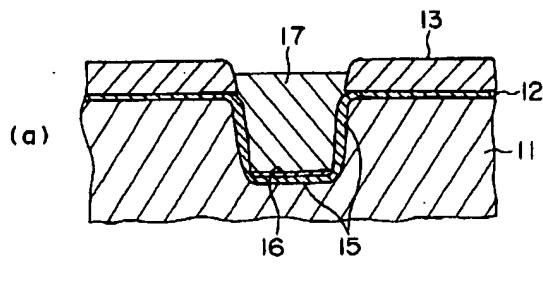
【図4】



【図6】

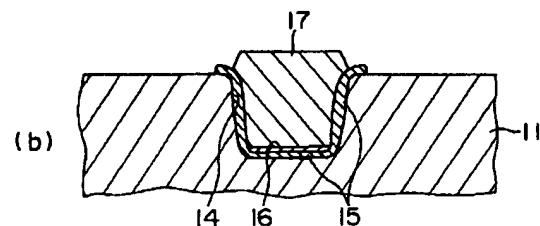
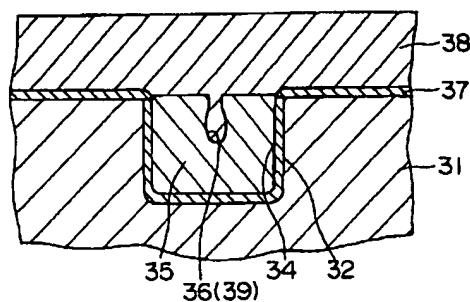


【図3】



(a)

【図5】



(b)

【図7】

